

Manual Codes (CPI/A-N): K08-B; L03-D03A

Derwent (Dialog® File 351): (c) 2000 Derwent Info Ltd. All rights reserved.

27. 8/19/27

002065705

WPI Acc No: 1978-78773A/197844

**Ion beam epitaxial growth of single crystalline semiconductor layer - by bombarding substrate with accelerated large current ion beam without external heating to prevent impurity diffusion**

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 53109475	A	19780925				197844 B

Priority Applications (No Type Date): JP 7723847 A 19770307

Abstract (Basic): JP 53109475 A

A single crystalline **semiconductor** layer is epitaxially formed on a **semiconductor** substrate by subjecting the substrate to **bombardment** of accelerated large current **semiconductor** element ion beam without external heating.

Since the ion beam epitaxial growth is carried out without external heating diffusion of the impurity from the substrate can be prevented. In an embodiment, Si ions are implanted into a single crystalline silicon substrate at current density of 500  $\mu$ A/cm<sup>2</sup>. The implantation energy is 15 KeV. The silicon **substrate** is **heated** at 600 degrees C. by the ion implantation. The growing rate of the Si is 400 A/min. Impurity ions may be implanted into the silicon substrate simultaneously with the implantation of the Si.

Title Terms: ION; BEAM; EPITAXIAL; GROWTH; SINGLE; CRYSTAL; **SEMICONDUCTOR**; LAYER; **BOMBARD**; SUBSTRATE; ACCELERATE; CURRENT; ION; BEAM; EXTERNAL; HEAT; PREVENT; IMPURE; DIFFUSION

Derwent Class: L03; U11; U12

International Patent Class (Additional): B01J-017/28; H01L-021/20

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L03-D03A

Derwent (Dialog® File 351): (c) 2000 Derwent Info Ltd. All rights reserved.

28. 8/19/28

001995675

WPI Acc No: 1978-08688A/197805

**Optical integrated circuits - using semiconductor substrate with complex surface structures under epitaxial layer of varying compsn.**

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU )

Number of Countries: 005 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 2732807	A	19780126				197805 B
FR 2358921	A	19780324				197816
US 4171234	A	19791016				197943
JP 53012267	A	19780203				198043
JP 80037092	B	19800925				198043
GB 1589455	A	19810513				198120
JP 53042675	A	19780418				198127
JP 81025015	B	19810610				198127
DE 2732807	C	19830811				198333

⑨日本国特許庁

⑩特許出願公開

## 公開特許公報

昭53—109475

⑪Int. Cl. <sup>2</sup>	識別記号	⑫日本分類	庁内整理番号	⑬公開	昭和53年(1978)9月25日
H 01 L 21/203		99(5) B 15	7739—57		
B 01 J 17/28		99(5) B 1	6684—57	発明の数	1
H 01 L 21/26		13(7) D 53	7158—4A	審査請求	未請求

(全 4 頁)

### ⑭半導体装置の製造方法

⑮特 願 昭52—23847  
⑯出 願 昭52(1977)3月7日  
⑰発 明 者 田村誠男  
国分寺市東恋ヶ窪1丁目280番  
地 株式会社日立製作所中央研  
究所内

⑱発 明 者 矢木邦博  
国分寺市東恋ヶ窪1丁目280番  
地 株式会社日立製作所中央研  
究所内  
⑲出 願 人 株式会社日立製作所  
東京都千代田区丸の内一丁目5  
番1号  
⑳代 理 人 弁理士 薄田利幸

### 明 細 書

発明の名称 半導体装置の製造方法

#### 特許請求の範囲

1. 加速された大電流の半導体のイオンビームを半導体基板上に照射した時生じる基板の温度上昇を利用することにより、特に外部からの基板加熱を行なうことなく、イオンビームによる単結晶半導体薄膜を得ることを目的とする半導体装置の製造方法。

#### 発明の詳細な説明

##### (1) 発明の利用分野

本発明は、大電流イオンビームを用いて形成した単結晶半導体薄膜を有する半導体装置の製造に関するものである。

##### (2) 従来技術

従来、単結晶の半導体薄膜を半導体基板上にエピタキシャル成長させるには、例えば、気相化学反応法によるSiの成長を例にとるならば1000℃以上に加熱したSi基板上に、SiCl<sub>4</sub>とH<sub>2</sub>の混合ガスを導入し、SiCl<sub>4</sub>のH<sub>2</sub>ガスによる還元に

よりSiの成長を生ぜしめる。

この場合、良好な単結晶Si薄膜を得るには、1000℃以上の基板加熱が必要であり、基板温度が1000℃以下の場合には基板Siの前処理を充分に行なつても、例えばSiの成長直前にHClによるガスエッチなどを行なつても、Siの成長膜は繊維構造(fiber structure)を呈し、もし成長速度を遅くするなどして単結晶膜が得られたとしても、成長膜中には積層欠陥や転位などの結晶欠陥が10<sup>5</sup>/cm<sup>2</sup>以上の密度で形成されることは、一般に良く知られている事実である。

また、Siの他の成長方法、例えば真空蒸着法によるならば単結晶膜を得る基板温度、すなわちエピタキシャル温度、T<sub>e</sub>、を下げることはできるが、このT<sub>e</sub>は真空度と蒸着速度に依存し、例えば、550℃のT<sub>e</sub>を得るには、1.0<sup>-10</sup> torrの真空度で成長速度は0.04 μm/min以下にする必要がある。このような超高真空を得るには、大容量の排気速度を持つ真空排気装置が必要であり装置的にも大がかりとなる。

また、上述したような成長方法はいずれの手段を過ぶにしても、外部から基板を加熱する必要があり、基板温度の制御という装置上の制約が附加されていることもまた言うまでもない事実である。

一方、Siのエピタキシャル成長においては、できるだけ $T_0$ を下げ、基板に含まれている不純物のアウトディフュージョン（エピタキシャル成長時に基板の不純物が気相中へ蒸発すること）やオートドーピング（基板から成長膜中へ不純物が拡散すること）現象を避けることが望まれている。

しかしながら、現状での半導体エピタキシャル膜を得る手段として最も一般的に行なわれている方法は、上記したような外部から高温に基板を加熱して気相化学反応法により単結晶薄膜を得ることである。

### (3) 発明の目的

本発明は、半導体のエピタキシャル膜を得る際に最も問題となる上記したような2点の問題、すなわち外部からの基板加熱の問題およびエピタキシャル温度、 $T_0$ 、の低温化の問題を解決し、か

つ良好な単結晶膜を得る手段を提案することを目的とする。

### (4) 発明の総括説明

上記目的を達成するための本発明の特徴を述べれば次のようになる。すなわち、イオン打込みの際に、打込みイオンの電流密度を高めると打込まれた基板の温度は上昇することは良く知られており、基板に与えられるエネルギー $W$  (Watt/cm<sup>2</sup>)は、 $W = J \times V$ 、と表わされる。ここで $J$ はイオン電流密度 (A/cm<sup>2</sup>)、 $V$ はイオンの加速エネルギー (eV)である。このエネルギー $W$ が基板の温度上昇に費やされ、特定のヒートシンクがない場合には、イオン電流および加速エネルギーの上昇とともに基板温度も高くなる。

ここで大電流イオンビームの特徴を述べれば次のようなことになる。すなわち、通常のイオン打込み装置では、イオン電流密度は $1 \mu A/cm^2$ 前後であり、それによつて生じる基板の温度上昇は、打込みエネルギーを数百KeVと高めても、たかだか100℃である。一方、大電流イオンビーム

発生のイオン打込み装置では、イオン電流密度を $100 \mu A/cm^2$ 以上に高めることができ、基板温度も500℃以上に容易に上昇する。

したがって、もし打込みイオンを半導体イオンに遇せば半導体の単結晶成長を行なうことができる。この際、打込まれた半導体イオンは第1図のように、基板に埋め込まれて成長して行く過程をとるが、基板と成長層の界面は、真空度の影響による炭素、酸素などによる汚染の心配がなく、通常のエピタキシャル成長の際の基板の表面汚染による積層欠陥・転位などの結晶欠陥発生も $10^3/cm^2$ 以下におさへ得るため、その問題も避けることができ、特定な方法による基板の前処理を行なわずに良好な半導体単結晶の成長が可能である。

なお、本発明者等の実験によれば、基板に与えられるエネルギーとしては、 $1.5 \text{ Watt/cm}^2 \sim 3.0 \text{ Watt/cm}^2$ が好適であつた。

### (5) 実施例

以下、本発明を実施例を参照して詳細に説明する。特定のヒートシンクを有しない(100)面

を持つSi単結晶基板に、Siイオンを15 keVの打込みエネルギーで $500 \mu A/cm^2$ の電流密度により打込み(7.5 Watt/cm<sup>2</sup>)打込み中の温度上昇を校正した赤外線温度計により測定した所、600℃であつた。また、この条件でSiの成長速度は $400 \text{ \AA/min}$ と評価され、30分間のイオン打込みを行ない、1.2  $\mu m$ の厚さのSi膜を得た。このSi膜を化学エッチ法により基板の側から薄膜化し、成長した層を透過電子顕微鏡により観察したところ、成長した膜は双晶が存在しない単結晶膜であり、転位、転位ループ、積層欠陥などの結晶欠陥の発生も認められなかつた。

上記実験は、良好な単結晶Si膜が得られる下限のエネルギー $W$ として $1.5 \text{ Watt/cm}^2$ また上限のエネルギーとして $3.0 \text{ Watt/cm}^2$ の範囲ならば、打込み条件は任意に変化させて行なえることは言うまでもない。なお、我々の実験によれば $1.5 \text{ Watt/cm}^2$ のエネルギーでは、基板の温度上昇は250℃であり、 $3.0 \text{ Watt/cm}^2$ のエネルギーでそれは1000℃と測定され、この実験範囲内で

は、基板に含まれている不純物のオートドーピングやアウトディフュージョンをおさえることが可能である。また、基板加熱時にイオンを照射した時生じる他の現象、すなわち基板のスパッタリング率が増加する効果は、1000℃以下においてはほとんど無視することができ、この効果も考えに入れなくて良い。

また、室温でのスパッタ率は、Ge、Siともに、1 keV~100 keVの間で1を超えるが、基板温度が増加することによる単結晶化に伴ないチャネリング効果によつて、触点の1/3以上の温度(Geでは300℃、Siでは450℃以上)でスパッタ率は1/3以下に減少することが知られている。従つて、本発明の約250℃以上1000℃以下という範囲内では、基板のスパッタ効果は考慮しなくてよい。もし、特定の温度範囲内でスパッタ効果が顕著になる場合には、Ge、Siに比べてスパッタ率が1/3以下の物質、例えばSi、N、Al、U、などの膜を打込みイオンの飛程以下の厚さで基板に被覆し膜の成長を行え

ばよい。

なお、Siの成長速度はSiのイオン電流を制御することによつて変化させることが可能であり100  $\mu\text{A}/\text{cm}^2$ の電流密度では80  $\text{\AA}/\text{min}$ の成長速度であるが、2 mA/ $\text{cm}^2$ まで電流密度を高めると成長速度を1600  $\text{\AA}/\text{min}$ と20倍に早くすることができ、薄いエピタキシャル膜を得たい場合には、電流密度を低め、厚い膜を得たい場合には、電流密度を高めてやれば所望の厚さのエピタキシャル膜を制御精度よく得ることが可能である。

第2図はダイオードの形成に本発明を適用する場合の模式図を示したものである。図はSiウェハにSiイオンビームを照射する場合で、pn接合を形成させるには、例えばSi基板1としてP型Siを用いた場合、Siイオン3の照射により形成するSi薄膜2をn型にする必要がある。この方法としては例えばSiイオン照射時に、Siイオンの質量分析器の他に、更にりん(P)あるいはひ素(As)などのドナー不純物イオンの質量分析器を付加することにより、Siイオン照射

と同時にドナー不純物のイオン照射をSi半導体基板1上に行ない、n型のSi単結晶薄膜を成長させることができる。このようにして、np接合を形成した後、さらに通常のプレーナ技術を用いてメサエッチ、電極付けを行ないダイオードを作製することができる。また、同様にしてn型基板を用いてP<sup>+</sup>n接合のダイオードも作製することが可能である。

本発明によれば、既に述べたように、基板温度を数百℃の低温に保ちながら単結晶Si薄膜を成長させることができるので基板から成長層への不純物の混入を極力おさえることができ従来困難視されていた超薄膜型接合の形成が容易となり、その効果は非常に大きなものがある。

また、上記実施例で述べたpn接合の形成を?度行なえば、npnトランジスタまたはpnpトランジスタを作製することも可能であり、一般の半導体装置の製造方法として有効な手段を提供することができる。

また、以上の実施例においては、単結晶Si膜

の成長を例にとつて述べたが、他の半導体として例えばGe基板上への単結晶Ge膜の成長に対しても全く同様に適用することも可能である。

さらに本発明においては、Si基板上への単結晶Ge膜の成長、Ge基板上への単結晶Si膜の成長、あるいはまた化合物半導体基板上への単結晶Si、Ge膜などの成長のヘテロ接合の形成も低温において容易に実施することが可能であることは言うまでもない。

#### (6) まとめ

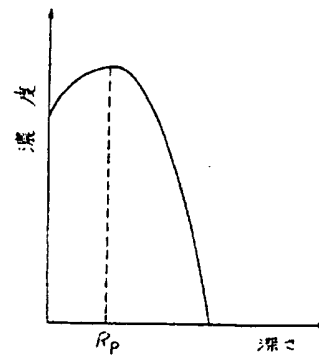
以上詳述したように、本発明によれば高電流の半導体イオンを半導体基板に打込んだ時生じる基板の加熱効果を利用して半導体単結晶膜のエピタキシャル成長を行なうことが可能になつた。この方法によるならば、外部からの基板加熱を適用することなく、1000℃以下の低温で良好な半導体のエピタキシャル成長を行なうことが可能であり、半導体装置の製造に対して、その効果は極めて著しい。

図面の簡単な説明

第1図は半導体イオンの照射によるイオン分布の模式図、第2図は本発明の方法をダイオード形成に適用する場合の模式図を示したものである。

代理人 弁理士 薄田利幸

第1図



第2図

